



Docket No.: 492322013800

UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kiyoshi YONEDA

Application No.: 10/674,827

Group Art Unit: 2821

Filed: October 1, 2003

Examiner: Not Yet Assigned

For: ELECTROLUMINESCENT DISPLAY DEVICE
AND MANUFACTURING METHOD OF THE
SAME

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
2011 South Clark Place
Room 1B03, Crystal Plaza 2
Arlington, Virginia, 22202

Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the dates indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-288502	October 1, 2002
Japan	2003-055334	March 3, 2003

In support of this claim, certified copies of the original foreign applications are filed herewith.

Dated: December 10, 2004

Respectfully submitted,

By

Barry E. Bretschneider

Registration No.: 28,055

MORRISON & FOERSTER LLP

1650 Tysons Blvd, Suite 300

McLean, Virginia 22102

(703) 760-7743

BEST AVAILABLE COPY

Morrison, T-Deister Ltd
703-760-7700
49232 2013800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 8 8 5 0 2
Application Number:

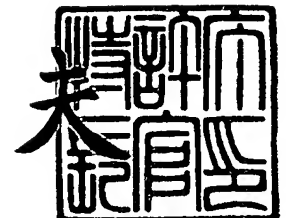
[ST. 10/C]: [J P 2 0 0 2 - 2 8 8 5 0 2]

願 人
Applicant(s): 三 洋 電 機 株 式 会 社

2 0 0 3 年 9 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

出証番号 出証特 2 0 0 3 - 3 0 7 6 7 0 6

【書類名】 特許願

【整理番号】 RSL1020064

【提出日】 平成14年10月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 米田 清

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

 【電話番号】 0276-30-3151

【選任した代理人】

 【識別番号】 100091605

 【弁理士】

 【氏名又は名称】 岡田 敬

【手数料の表示】

 【予納台帳番号】 077770

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 エレクトロルミネッセンス表示装置

【特許請求の範囲】

【請求項 1】 複数の画素を備え、各画素は、エレクトロルミネッセンス素子と、ゲート信号に応じて各画素を選択するための画素選択用トランジスタと、前記画素選択用トランジスタを通して供給される表示信号に応じて前記エレクトロルミネッセンス素子に電流を供給する駆動用トランジスタとを有し、前記画素選択用トランジスタはポリシリコン薄膜トランジスタから成り、前記駆動用トランジスタはアモルファスシリコン薄膜トランジスタから成ることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 2】 複数の画素を備え、各画素は、エレクトロルミネッセンス素子と、ゲート信号に応じて各画素を選択するための画素選択用薄膜トランジスタと、前記画素選択用薄膜トランジスタを通して供給される表示信号に応じて前記エレクトロルミネッセンス素子に電流を供給する駆動用薄膜トランジスタとを有し、前記駆動用薄膜トランジスタのキャリア移動度が前記画素選択用薄膜トランジスタのキャリア移動度より小さいことを特徴とするエレクトロルミネッセンス表示装置。

【請求項 3】 前記画素選択用薄膜トランジスタ及び前記駆動用薄膜トランジスタがポリシリコン薄膜トランジスタであり、前記駆動用薄膜トランジスタのゲインサイズが前記画素選択用薄膜トランジスタのゲインサイズより小さいことを特徴とする請求項 2 記載のエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はエレクトロルミネッセンス表示装置に関し、特に各画素毎に、画素選択用薄膜トランジスタと、エレクトロルミネッセンス素子を電流駆動するための駆動用薄膜トランジスタと、を有するエレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】

近年、エレクトロルミネッセンス（Electro Luminescence：以下、「EL」と略称する）素子を用いたEL表示装置は、CRTやLCDに代わる表示装置として注目されている。特に、EL素子を駆動させるスイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と略称する）を備えたEL表示装置が開発されている。

【0003】

図3に、有機EL表示パネル内の一画素の等価回路図を示す。実際の有機EL表示パネルでは、この画素がn行m列のマトリクスに配置されている。

【0004】

ゲート信号Gnを供給するゲート信号線50と、表示信号Dmを供給するドレイン信号線60とが互いに交差している。

【0005】

それらの両信号線の交差点付近には、有機EL素子70及びこの有機EL素子70を駆動する駆動用TFT80、画素を選択するための画素選択用TFT10が配置されている。

【0006】

駆動用TFT80のソースには、電源ライン90から正電源電圧PVddが供給されている。また、そのドレインは有機EL素子70のアノード71に接続されている。

【0007】

画素選択用TFT10のゲートにはゲート信号線50が接続されることによりゲート信号Gnが供給され、ドレイン10dにはドレイン信号線60が接続され、表示信号Dmが供給される。画素選択用TFT10のソース10sは駆動用TFT80のゲートに接続されている。ここで、ゲート信号Gnは不図示の垂直ドライバ回路から出力される。表示信号Dmは不図示の水平ドライバ回路から出力される。

【0008】

また、有機EL素子70は、アノード71、カソード72、このアノード71

とカソード 7 2 の間に形成された発光素子層（不図示）から成る。カソード 7 2 には、負電源電圧 C V が供給されている。

【 0 0 0 9 】

また、駆動用 T F T 8 0 のゲートには保持容量 C s が接続されている。保持容量 C s は表示信号 D m に応じた電荷を保持することにより、1 フィールド期間、表示画素の表示信号を保持するために設けられている。

【 0 0 1 0 】

上述した構成の E L 表示装置の動作を説明する。ゲート信号 G n が一水平期間ハイレベルになると、画素選択用 T F T 1 0 がオンする。すると、ドレイン信号線 6 0 から表示信号 D m が画素選択用 T F T 1 0 を通して、駆動用 T F T 8 0 のゲートに印加される。

【 0 0 1 1 】

そして、そのゲートに供給された表示信号 D m に応じて、駆動用 T F T 8 0 のコンダクタンスが変化し、それに応じた駆動電流が駆動用 T F T 8 0 を通して有機 E L 素子 7 0 に供給され、有機 E L 素子 7 0 が点灯する。そのゲートに供給された表示信号 D m に応じて、駆動用 T F T 8 0 がオフ状態の場合には、駆動用 T F T 8 0 には電流が流れないため、有機 E L 素子 7 0 も消灯する。

【 0 0 1 2 】

ここで、画素選択用 T F T 1 0 及び駆動用 T F T 8 0 の能動層は、いずれもポリシリコン層で形成されていた。

【 0 0 1 3 】

なお、関連する先行技術文献には、例えば以下の特許文献 1 がある。

【 0 0 1 4 】

【特許文献 1】

特開 2 0 0 2 - 1 7 5 0 2 9 号公報

【 0 0 1 5 】

【発明が解決しようとする課題】

ところで、画素選択用 T F T 1 0 はゲート信号 G n に応じて高速でスイッチングする必要があり、低オン抵抗であることが求められるのに対して、駆動用 T F

T80は有機EL素子70に流す電流を制限するために、むしろ高オン抵抗であることが好ましい。そこで、従来は、画素選択用TF T10のチャンネル長は短く設計され、駆動用TF T80のチャンネル長は長く設計されていた。

【0016】

このため、駆動用TF T80のパターンサイズが大きくなってしまいう問題があった。

【0017】

【課題を解決するための手段】

本発明は、上述した課題に鑑みてなされたものであり、各画素の画素選択用トランジスタをポリシリコン薄膜トランジスタで構成し、駆動用トランジスタをアモルファスシリコン薄膜トランジスタで構成したことを特徴とするものである。これにより、画素選択用トランジスタ及び駆動用トランジスタに必要な特性に合わせて最適な設計が可能になる。特に、駆動用トランジスタのキャリア移動度がより小さくなるため、そのチャンネル長が従来に比して短くても高オン抵抗を得ることができきるようになり、駆動用TF Tのパターンサイズを小さくすることが可能になる。

【0018】

【発明の実施の形態】

次に、本発明の実施形態について図面を参照しながら詳細に説明する。まず、第1の実施形態について図1、図2を参照しながら説明する。図1はこの一画素の平面パターン図である。また、図2は、画素選択用TF T10及び駆動用TF T85の構造を示す断面図である。実際の有機EL表示パネルでは、この画素がn行m列のマトリクスに配置されている。

【0019】

本実施形態の特徴は、画素選択用TF T10をポリシリコンTF Tで構成し、駆動用TF T85をアモルファスシリコンTF T85で構成したことを特徴とする。

【0020】

以下で、この画素構造について詳しく説明する。ゲート信号Gnを供給するゲ

ート信号線 50 が行方向に延在し、表示信号 D_m を供給するドレイン信号線 60 が行方向に延在し、これらの信号線が互いに立体的に交差している。ゲート信号線 50 は、クロム層若しくはモリブデン層等から成り、ドレイン信号線 60 はその上層のアルミニウム層等から成る。

【0021】

画素選択用 TFT 10 はポリシリコン TFT である。この画素選択用 TFT 10 は、ガラス基板等の透明な絶縁性基板 100 上に形成されたポリシリコン層から成る能動層 15 上に、ゲート絶縁層 101 が形成され、そのゲート絶縁層 101 上に、ゲート信号線 50 から延びた 2 つのゲート 51, 52 が形成され、ダブルゲート構造を成している。ゲート 51, 52 上には層間絶縁層 102 が形成されている (図 2 (A) 参照)。

【0022】

また、この画素選択用 TFT 10 ソース 10d は、ドレイン信号線 60 とコンタクト 16 を介して接続されている。画素選択用 TFT 10 のドレイン 10s を構成しているポリシリコン層は、保持容量領域に延在され、その上層の保持容量線 11 と容量絶縁膜を介してオーバーラップしており、このオーバーラップ部分で保持容量 C_s が形成されている。

【0023】

そして、画素選択用 TFT 10 のドレイン 10s から延びたポリシリコン層は、駆動用 TFT 85 のゲート 20 にアルミニウム配線 17 を介して接続されている。

【0024】

駆動用 TFT 85 はアモルファスシリコン TFT である。この駆動用 TFT 85 は、ガラス基板等の透明な絶縁性基板 100 上に形成されたアモルファスシリコン層から成る能動層 103 上に、ゲート絶縁層 104 が形成され、そのゲート絶縁層 104 上に、クロム層若しくはモリブデン層等から成るゲート 20 が形成されている。ゲート 20 上には層間絶縁層 102 が形成されている。ゲート絶縁層 104 は、画素選択用 TFT 10 のゲート絶縁層 101 と共通工程で形成することができる (図 2 (B) 参照)。

【0025】

駆動用TFT85は、ゲート20が共通に入力された、2つの並列トランジスタ85A、85Bから構成され、各並列トランジスタ85A、85Bの共通ソースはコンタクトを介して、正電源電圧PVddが供給された電源ライン90に接続されている。また、各並列トランジスタ85A、85Bの共通ドレインはコンタクトを介して有機EL素子70のアノード71に接続されている。

【0026】

上述のように、画素選択用TFT10をポリシリコンTFTで構成し、駆動用TFT85をアモルファスシリコンTFT85で構成するためには、画素選択用TFT10の能動層15をポリシリコン層で形成し、駆動用TFT85の能動層103をアモルファスシリコン層で形成することが必要となるが、その形成方法については、スポットビーム法を用いることができる。

【0027】

すなわち、まず絶縁性基板100上の全面にアモルファスシリコン層をCVD法により形成し、画素選択用TFT10の能動層形成領域に局所的にレーザーを照射し、かつレーザー照射スポットを当該能動層形成領域に沿ってスキャンする。

【0028】

すると、最初の照射スポットに生成された種結晶がスキャン方向にそって成長していくので、能動層形成領域をポリシリコン化することが可能になる。一方、駆動用TFT85の能動層形成領域については、レーザー照射が行われないので、当該領域についてはアモルファス状態が維持される。次に、通常の写真工法で、画素選択用TFT10の能動層15及び駆動用TFT85の能動層103のパターン形成を行う。

【0029】

なお、上記のレーザー照射工程において、画素選択用TFT10の能動層形成領域にのみ、開口が設けられたマスクを用い、このマスクを通してレーザー照射を行っても良い。

【0030】

このように、本実施形態によれば、高速スイッチングのために低いオン抵抗が必要な画素選択用TFT10をポリシリコンTFTで構成し、高いオン抵抗が必要な駆動用TFT85をアモルファスシリコンTFTで構成している。これにより、両TFTをそれぞれに必要な特性に合わせて最適設計することが可能になる。特に、駆動用TFT85のキャリア移動度は画素選択用TFT10のキャリア移動度に比べてより小さくなるので、駆動用TFT85のチャネル長が短くても有機EL素子70に流す電流を制限することができるようになる。これにより、TFTのパターンサイズを小さくすることができる。

【0031】

次に、第2の実施形態について説明する。本実施形態では、画素選択用TFT10及び駆動用TFT85をポリシリコンTFTで構成し、駆動用TFT85のグレインサイズを画素選択用TFT10のグレインサイズより小さくしたことを特徴とする。すなわち、画素選択用TFT10の能動層15をポリシリコン層で形成し、駆動用TFT85の能動層103についてもポリシリコン層で形成する。そして、駆動用TFT85の能動層103のポリシリコン・グレインサイズを画素選択用TFT10の能動層15のポリシリコン・グレインサイズより小さくする。他の構成については第1の実施形態と同様である。

【0032】

ポリシリコンTFTのキャリア移動度は、ポリシリコン・グレインサイズに比例して大きくなる。したがって、本実施形態によれば、駆動用TFT85のキャリア移動度は画素選択用TFT10のキャリア移動度に比べてより小さくなる。これにより、第1の実施形態と同様に、駆動用TFT85のチャネル長が短くても、有機EL素子70に流す電流を制限することができるようになり、TFTのパターンサイズを小さくすることができる。

【0033】

このようなグレインサイズの異なる画素選択用TFT10及び駆動用TFT85を形成する方法としては、絶縁性基板100上の全面にアモルファスシリコン層をCVD法により形成し、レーザー照射（例えばエキシマレーザー照射）によりアモルファスシリコン層を結晶化させる際に、レーザーのパワーを変える方法

や、パワーは変えずに、レーザーの照射方法を変える方法がある。ここで、レーザーの照射方法を変える方法としては、例えば、パルスレーザーのパルス周期の設定を変える方法、パルスレーザーをスキャンさせる際に当該パルスレーザーのオーバーラップさせる程度を変える方法、レーザービームの形状（スポットビーム、ラインビーム）を変える方法があり、これらの方法のうち、いずれかを選択することができる。

【0034】

なお上記の実施形態では、駆動用 T F T 85 を並列トランジスタ 85 A, 85 B から構成しているが、これは一方のトランジスタが不良でも動作するようにバックアップしたものであり、必ずしも並列構成を採用しなくても良い。

【0035】

また、上記実施形態では、画素選択用 T F T 10 をダブルゲート構造で構成しているがシングルゲート構造であってもよい。

【0036】

【発明の効果】

本発明によれば、低いオン抵抗が必要な画素選択用トランジスタをポリシリコン薄膜トランジスタで構成し、高いオン抵抗が必要な駆動用トランジスタをアモルファスシリコン薄膜トランジスタで構成したので、駆動用トランジスタのキャリア移動度が画素選択用トランジスタの移動度に比してより小さくなるため、高いオン抵抗を得るために、そのチャネル長をより短くすることが可能になり、駆動用 T F T のパターンサイズを小さくすることが可能になる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係るエレクトロルミネッセンス表示装置の平面パターン図である。

【図 2】

画素選択用 T F T 10 及び駆動用 T F T 85 の構造を示す断面図である。

【図 3】

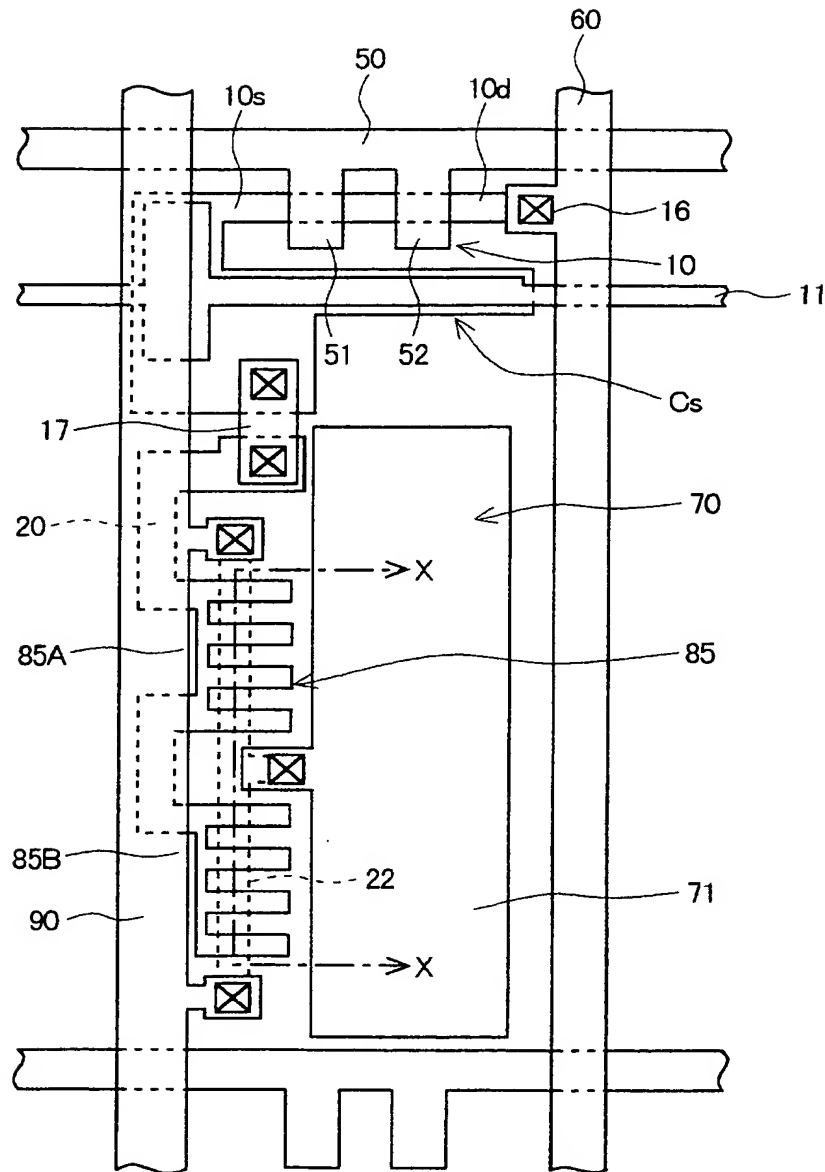
従来例に係るエレクトロルミネッセンス表示装置の回路図である。

【符号の説明】

- 1 0 画素選択用 T F T
- 1 5 画素選択用 T F T 1 0 の能動層
- 2 0 ゲート
- 5 0 ゲート線
- 6 0 ドレイン線
- 8 5 駆動用 T F T
- 8 5 A, 8 5 B 並列トランジスタ
- 7 0 有機 E L 素子
- 9 0 電源ライン
- 1 0 0 絶縁性基板
- 1 0 1 ゲート絶縁層
- 1 0 2 層間絶縁層
- 1 0 3 駆動用 T F T 8 5 の能動層

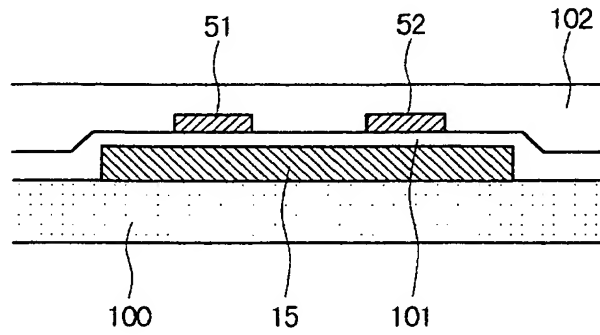
【書類名】 図面

【図 1】

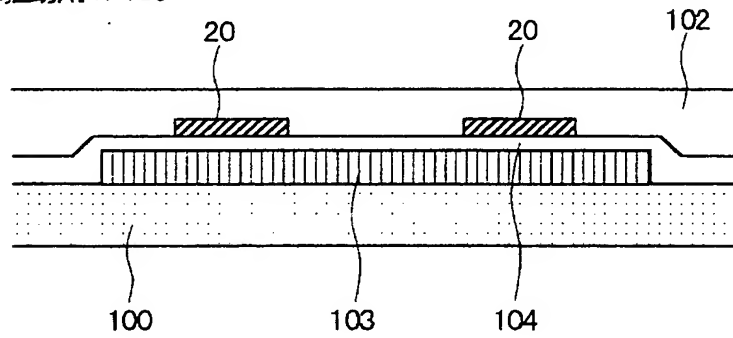


【図 2】

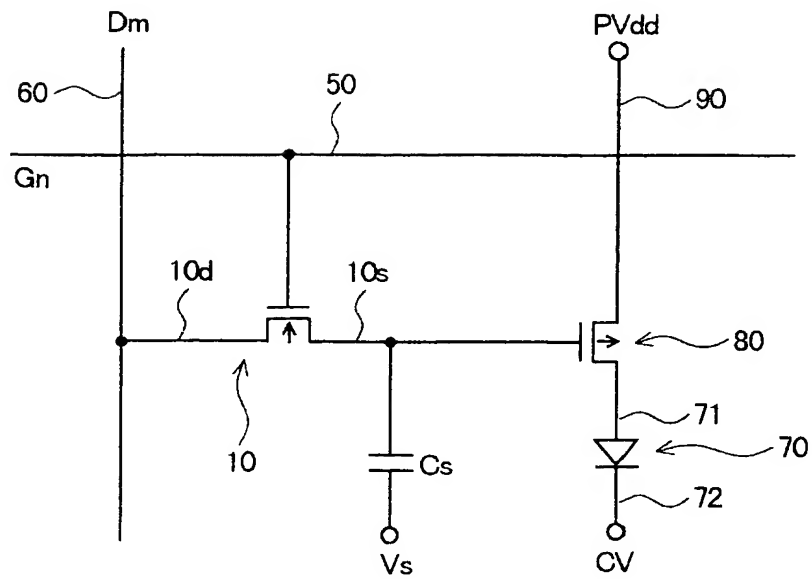
(A) 画素選択用TFT10



(B) 駆動用TFT85



【図 3】



【書類名】 要約書

【要約】

【課題】 駆動用 T F T のパターンサイズを小さくする。

【解決手段】 画素選択用 T F T 1 0 はポリシリコン T F T であり、ガラス基板等の透明な絶縁性基板 1 0 0 上に形成されたポリシリコン層から成る能動層 1 5 上に、ゲート絶縁層 1 0 1 が形成され、そのゲート絶縁層 1 0 1 上に、ゲート信号線 5 0 から延びた 2 つのゲート 5 1, 5 2 が形成されている。一方、駆動用 T F T 8 5 はアモルファスシリコン T F T であり、ガラス基板等の透明な絶縁性基板 1 0 0 上に形成されたアモルファスシリコン層から成る能動層 1 0 3 上に、ゲート絶縁層 1 0 4 が形成され、そのゲート絶縁層 1 0 4 上に、クロム層若しくはモリブデン層等から成るゲート 2 0 が形成されている。

【選択図】 図 1

特願 2 0 0 2 - 2 8 8 5 0 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社